



COPY OF PAPERS
ORIGINALLY FILED

PATENT
Docket No. JCLA7301
page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : MING-NAN YEN et al.

Application No. : 10/058,681

Filed : January 28, 2002

DIGITAL PHASE-LOCKED LOOP
For : COMPILER

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

May 6 2002
(Date)

Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

RECEIVED

RECEIVED

MAY 20 2002

JUN 19 2002

Technology Center 2100

Technology Center 2600

Transmitted herewith are three certified copies of Taiwan Application No. **90126238** filed on **October 24, 2001**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7301).

Date: 5/6/2002

By:

Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

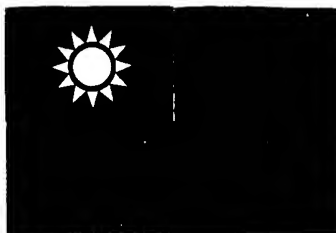
RECEIVED

JUL 31 2002

Technology Center 2600

5047301

10/058,681



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 10 月 24 日
Application Date

申請案號：090126238
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

RECEIVED

MAY 20 2002

Technology Center 2100

RECEIVED

JUL 31 2002

Technology Center 2600

局長

Director General

CERTIFIED COPY OF
PRIORITY DOCUMENT

陳明邦

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2002 年 3 月 18 日
Issue Date

發文字號：
Serial No.

09111004267

| | |
|------|----------|
| 申請日期 | |
| 案 號 | 90126238 |
| 類 別 | |

A4
C4

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 | | |
|---------------|----------------|--|
| 一、發明 新型名稱 | 中 文 | 數位式鎖相迴路 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | 1 嚴敏男 2 盛鐸 3 蔡壽昌 4 劉康懋 |
| | 國 籍 | 中華民國 |
| | 住、居所 | 1 台北縣中和市華新街 143 巷 106 弄 18 號 12 樓 2 新竹市建功一路 104 巷 20-7 號 3 號 3 嘉義縣太保市後潭里 380 號 4 新竹科學工業園區研新三路 3 號 |
| | | |
| 三、申請人 | 姓 名 (名稱) | 旺宏電子股份有限公司 |
| | 國 籍 | 中華民國 |
| | 住、居所 (事務所) | 新竹科學園區力行路十六號 |
| | 代 表 人 名 姓 名 | 胡定華 |

裝

訂

線

四、中文發明摘要(發明之名稱：數位式鎖相迴路)

一種數位式鎖相迴路，具有前端除頻器、數位相位轉換器、數位類比電壓轉換器、電壓控制震盪器、高頻震盪器、後端除頻器、輸出除頻器與內建測試裝置。此數位式鎖相迴路因為為數位模式以及可以利用預設之相位調整值，因此能有效的降低回鎖時間。再加上因為整體電路中少了類比鎖相迴路中的低通濾波器及內建測試裝置體積較小，所以在整體面積方面可大幅降低。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(/)

本發明是有關於鎖相迴路，且特別是有關於一種數位式鎖相迴路(Digital Phase-Locked Loop Compiler)。

請參照第 1 圖，其繪示的是習知之類比式鎖相迴路(Analogy Phase-Locked Loop)裝置方塊示意圖。習知之類比鎖相迴路包括：除頻器(Divider)102、112 與 114，相位頻率偵測器(Phase Frequency Detector)104，比較器(Comparator)106，低通濾波器(Low Pass Filter)108，電壓控制震盪器(Voltage Control Oscillator)110。在習知之類比鎖相迴路中，因為習知之類比鎖相迴路之訊號為類比訊號，而類比訊號在做調整訊號做回鎖動作時，必須不斷地調整，故回鎖的時間較長，且習知之類比鎖相迴路由於低通濾波器所占的面積過大，約整體電路之 80%，所以對於整體的電路或增加其他電路，例如內建自我測試裝置(Build-In Self-Test)實在非常不容易。所以習知之類比鎖相迴路有下列缺點：

- 1.類比鎖相迴路的回鎖時間過長；
- 2.低通濾波器在整個電路所佔的面積過大；以及
- 3.不易在類比鎖相迴路中加入 BIST 以及其他電路。

有鑑於此，本發明的目的就是在提供一種數位式鎖相迴路，以改善習知回鎖時間過長，低通濾波器在整個電路所佔的面積過大以及不易在類比鎖相迴路中加入 BIST 以及其他電路等問題。

為達上述的目的，本發明提出一種數位式鎖相迴路，包括：前端除頻器(Pre-Divider)、數位相位轉換器(Phase

(請先閱讀背面之注意事項再填寫本頁)

線

五、發明說明 (2)

Digital Converter)、數位類比電壓轉換器(Digital to analog voltage converter)、電壓控制震盪器(Voltage Control Oscillator)、高頻震盪器(High Frequency Oscillator)、後端除頻器(Post-Divider)與輸出除頻器(Out-Divider)。其中前端除頻器用以根據前端調整值將輸入頻率下除成可比較輸入頻率。數位相位轉換器連接至前端除頻器的輸出，用以根據可比較輸入頻率與迴授頻率位與取樣頻率輸出一相位調整值。數位類比電壓控制器連接至數位相位轉換器的輸出，用以根據相位調整值輸出調整電壓。電壓控制震盪器連接至數位類比電壓控制器的輸出，用以根據調整電壓輸出一輸出頻率。高頻震盪器連接至數位相位轉換器的輸入與電壓控制震盪器的輸入，用以發出取樣頻率對可比較輸入頻率與迴授頻率做取樣。後端除頻器連接至數位相位轉換器的輸入與電壓控制震盪器的輸出，用以根據後端調整值將輸出頻率下除成迴授頻率。輸出除頻器連接至電壓控制震盪器的輸出，用以根據輸出調整值將輸出頻率下除成一需要輸出頻率。

在本發明的一個較佳實施例中，還包括了一個內建測試裝置(Build-In Self-Test)，此內建測試裝置連接至前述數位相位轉換器的輸出，用以根據相位調整值測試數位式鎖相迴路。

在本發明的一個較佳實施例中，上述之數位相位轉換器包括：相位頻率偵測器(Phase Frequency Detector)、增減計數器(Up-Down Converter)、算術邏輯單元(Arithmetic

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

Logic Unit)。其中相位頻率偵測器連接至前端除頻器的輸出與後端除頻器的輸出，用以根據可比較輸入頻率與迴授頻率輸出數值改變訊號。增減計數器連接至相位頻率偵測器的輸出與高頻震盪器的輸出，用以根據數值改變訊號輸出調整訊號。算術邏輯單元連接至增減計數器與高頻震盪器，用以根據調整訊號輸出相位調整值。

此外，上述之取樣頻率為可比較輸入頻率的 360 倍，輸出除頻器可調整所輸出的需要輸出頻率的責任週期，且迴授頻率有一預設值，相位調整值為 9 位元的數位訊號。

另外，上述之前端調整值可由數位式鎖相迴路根據輸入頻率而自動設定，後端調整值與輸出調整值係根據需要輸出頻率而設定。

為讓本發明之上述和其他目的、特徵和優點，能更加明顯易懂，下文特舉較佳實施例，並配合所附圖示，做詳細說明如下：

圖示簡單說明：

第 1 圖繪示的是習知之類比式鎖相迴路裝置方塊示意圖；

第 2 圖繪示的是本發明之數位式鎖相迴路之一較佳實施例之裝置方塊示意圖；

第 3 圖繪示的是根據第 2 圖之數位相位轉換器之一較佳實施例之裝置方塊圖；

第 4A-4B 圖繪示的是根據第 3 圖之增減計數器之一個較佳實施例的電路圖；以及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

第 5 圖繪示的是根據第 3 圖之相位調整值示意圖。

重要元件標號：

- 102：除頻器
- 104：相位頻率偵測器
- 106：比較器
- 108：低通濾波器
- 110：電壓控制震盪器
- 112：除頻器
- 114：除頻器
- 202：前端除頻器
- 204：數位相位轉換器
- 205：數位類比電壓轉換器
- 206：電壓控制震盪器
- 208：高頻震盪器
- 210：後端除頻器
- 212：輸出除頻器
- 214：內建測試裝置
- 302：相位頻率偵測器
- 304：增減計數器
- 306：算術邏輯單元

較佳實施例：

請參照第 2 圖，其繪示的是本發明之數位式鎖相迴路裝置方塊示意圖之一較佳實施例。本發明包括下列裝置：前端除頻器 202、數位相位轉換器 204、數位類比電壓轉

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

換器 205、電壓控制震盪器 206、高頻震盪器 208、後端除頻器 210、輸出除頻器 212 與內建測試裝置 214。其中前端除頻器 202 用以根據前端調整值將輸入頻率下除成可比較輸入頻率。數位相位轉換器 204 連接至前端除頻器 202 的輸出，用以根據可比較輸入頻率、迴授頻率與取樣頻率輸出一相位調整值。數位類比電壓控制器 205 耦接至數位相位轉換器 204 的輸出，用以根據相位調整值輸出調整電壓。電壓控制震盪器 206 耦接至數位類比電壓控制器 205 的輸出，用以根據調整電壓輸出一輸出頻率。高頻震盪器 208 連接至數位相位轉換器 204 的輸入與電壓控制震盪器 206 的輸入，用以發出取樣頻率對可比較輸入頻率與迴授頻率做取樣。後端除頻器 210 連接至數位相位轉換器 204 的輸入與電壓控制震盪器 206 的輸出，用以根據後端調整值將輸出頻率下除成迴授頻率。輸出除頻器 212 連接至電壓控制震盪器 206 的輸出，用以根據輸出調整值將輸出頻率下除成一需要輸出頻率。內建測試裝置 214 連接至數位相位轉換器 204 的輸出，用以根據相位調整值測試數位式鎖相迴路。

假設電壓控制震盪器 206 的模組有 1MHz~10MHz、10MHz~100MHz、100MHz~200MHz 與 200MHz~300MHz 等等，因為在本實施例中，最後的輸出在模組 100MHz~200MHz，所以選用的模組為 100MHz~200MHz。

在本實施例中，預設的相位調整值在經過數位類比電壓控制器 205 處理後，會由數位類比電壓轉換器 205 將相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (b)

對應的調整電壓輸出至電壓控制震盪器 206。電壓控制震盪器 206 會根據調整電壓輸出一個輸出頻率給後端除頻器 210。後端除頻器 210 接收到此輸出頻率後，會根據後端調整值自動把輸出頻率下除成一個迴授頻率，再將此迴授頻率輸送至數位相位轉換器 204。因此，若假設輸入至前端除頻器 202 的訊號 A 的頻率為 30MHz，則前端除頻器 202 即把訊號 A 的頻率根據前端調整值自動下除成可比較的頻率 1MHz，並將此可比較的頻率輸送給數位相位轉換器 204。高頻振盪器 208 所輸出之取樣頻率會在數位相位轉換器 204 中對此可比較的頻率與前述由預設的相位調整值所產生的迴授頻率做取樣。數位相位轉換器 204 於處理對兩者的取樣結果後得到一個相位差，並將此相位差轉換為相位調整值。在這之後，電壓控制震盪器 206 可根據此相位調整值調整其所輸出的輸出頻率。如此的重覆動作，直到迴授頻率與前述之可比較的頻率相位相同為止。

而當迴授頻率可比較的頻率相位相同之後，內建測試裝置就可以將最後產生的相位調整值與一個預設值相比較，以期測試此數位式鎖相回路是否運作正常。

在本發明的一個較佳實施例中，相位調整值可為 9 位元的數位訊號，而取樣頻率的頻率則為可比較的頻率的 360 倍。此外，上述之前端調整值可由數位式鎖相迴路根據輸入頻率而自動設定，後端調整值與輸出調整值係根據需要輸出頻率而設定。

請參照第 3 圖，其繪示的是根據第 2 圖之數位相位轉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

換器之一較佳實施例之裝置方塊圖。本發明之數位相位轉換器包括：相位頻率偵測器 302、增減計數器 304、算術邏輯單元 306。其中相位頻率偵測器 302 連接至前端除頻器 202 的輸出與後端除頻器 210 的輸出，用以偵測可比較輸入頻率與迴授頻率的頻率與相位。增減計數器 304 連接至相位頻率偵測器 302 的輸出與高頻震盪器 208 的輸出，用以根據可比較輸入頻率與迴授頻率與取樣頻率輸出調整訊號。算術邏輯單元 306 連接至增減計數器 304 與高頻震盪器 208，用以根據調整訊號輸出相位調整值。其中增減計數器 304 的一個較佳實施例如第 4A-4B 圖所示。

當相位頻率轉換器 302 接收到前端除頻器 202 所傳來的可比較輸入頻率與後端除頻器 210 傳來的迴授頻率後，高頻震盪器 208 會發出取樣頻率對輸入頻率的相位與迴授頻率的相位做取樣，然後增減計數器 304 會發出調整訊號，接著算術邏輯單元 306 就會根據調整訊號發出相位調整值，請參照第 5 圖，其繪示的是根據第 3 圖之相位調整值示意圖。邏輯運算單元 312 運算後得到的輸入頻率，即相位調整值。

在整個數位式鎖相迴路中，本發明利用一個高頻震盪器輸出一取樣頻率，對可比較輸入頻率與迴授頻率作取樣，其中取樣頻率的頻率為可比較輸入頻率的 360 倍，然後比較兩者的相位，得到一相位調整值，此相位調整值表示輸入頻率與迴授頻率的相位差，因此本發明可以快速的達到回鎖，再加上本發明可以預設一個相位調整值，所以

五、發明說明(8)

達到回鎖的時間將會更短。

此外，假設當習知要做自我測試時，習知之類比式鎖相迴路必須加上類比式的內建測試裝置，此類比式的內建測試裝置與本發明之數位式的內建測試裝置相比，其體積較大，再加上數位式鎖相迴路沒有類比式鎖相迴路中的低通濾波器，因此在整體面積方面可大幅降低。

綜上所述，本發明具有如下的優點：

1. 本發明可有效的降低回鎖時間；
2. 因為少了類比鎖相迴路中的低通濾波器，因此可大幅降低電路面積；以及

3. 內建自我測試電路由於僅需比較數位信號，因此電路較為簡單，也可降低所需的電路面積。

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，再不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

六、申請專利範圍

1.一種數位式鎖相迴路，包括：

一前端除頻器，用以根據一前端調整值將輸入頻率下除成一可比較輸入頻率；

一數位相位轉換器，連接至該前端除頻器之輸出，用以根據該可比較輸入頻率與一迴授頻率位與一取樣頻率輸出一相位調整值；

一數位類比電壓轉換器，連接至該數位相位轉換器之輸出，用以根據該相位調整值輸出一調整電壓；

一電壓控制震盪器，連接至該數位類比電壓轉換器之輸出，用以根據該調整電壓輸出一輸出頻率；

一高頻震盪器，連接至該數位相位轉換器之輸入與該電壓控制震盪器之輸入，用以發出該取樣頻率對該可比較輸入頻率與該迴授頻率做取樣；

一後端除頻器，連接至該數位相位轉換器之輸入與該電壓控制震盪器之輸出，用以根據一後端調整值將該輸出頻率下除成該迴授頻率；以及

一輸出除頻器，連接至該電壓控制震盪器之輸出，用以根據一輸出調整值將該輸出頻率下除成一需要輸出頻率。

2.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該數位相位轉換器，包括：

一相位頻率偵測器，連接至該前端除頻器之輸出與該後端除頻器之輸出，用以根據該可比較輸入頻率與該迴授頻率輸出一數值改變訊號；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一增減計數器，連接至該相位頻率偵測器之輸出與該高頻震盪器之輸出，用以根據該數值改變訊號輸出一調整訊號；以及

一算術邏輯單元，連接至該增減計數器與該高頻震盪器，用以根據該調整訊號輸出該相位調整值。

3.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該取樣頻率為該可比較輸入頻率的 360 倍。

4.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該迴授頻率有一預設值。

5.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該些前端調整值係由該數位式鎖相迴路根據該輸入頻率而自動設定。

6.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該後端調整值係根據該需要輸出頻率而設定。

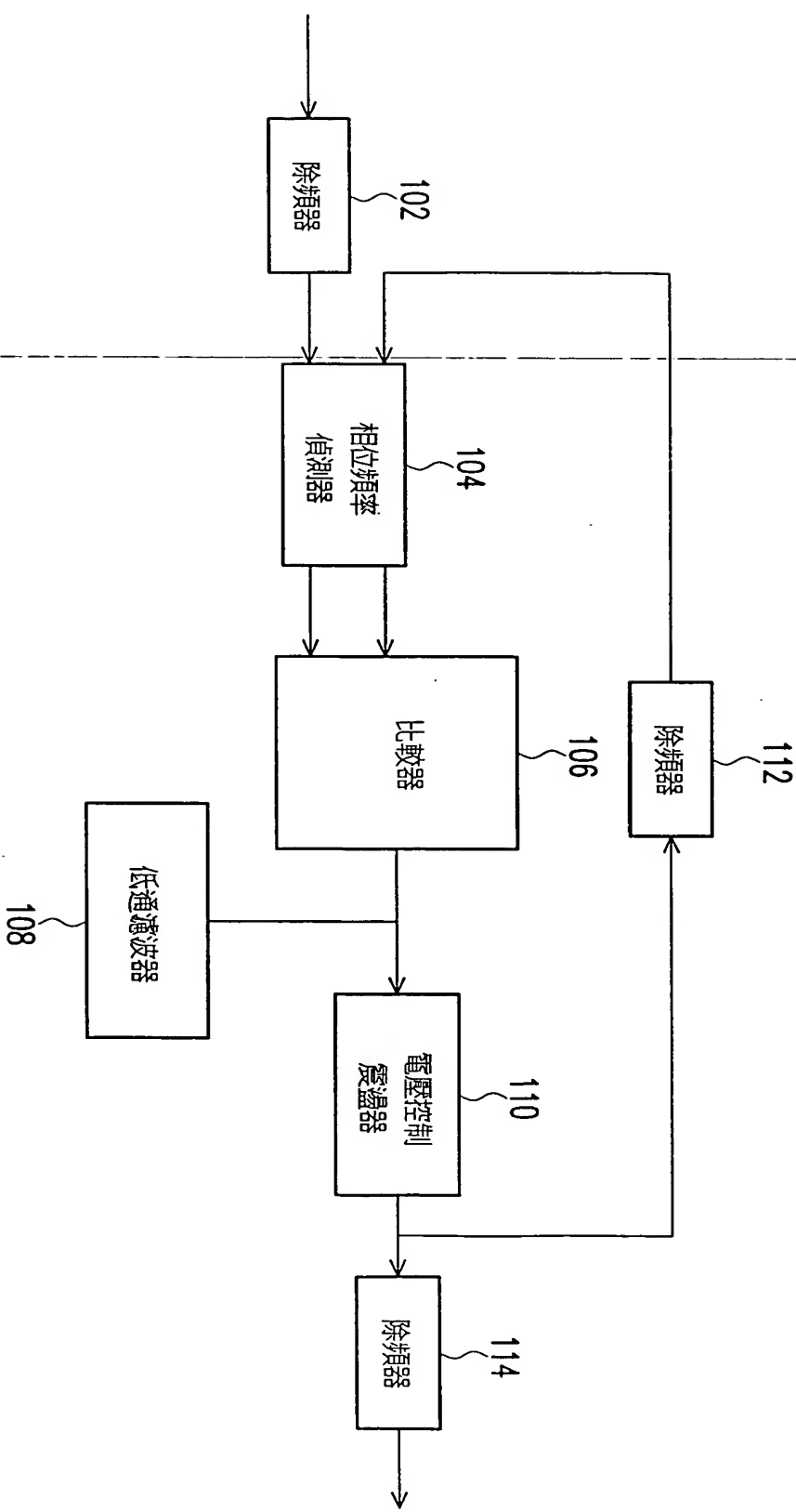
7.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該輸出調整值係根據該需要輸出頻率而設定。

8.如申請專利範圍第 1 項所述之數位式鎖相迴路，其中該相位調整值為 9 位元的數位訊號。

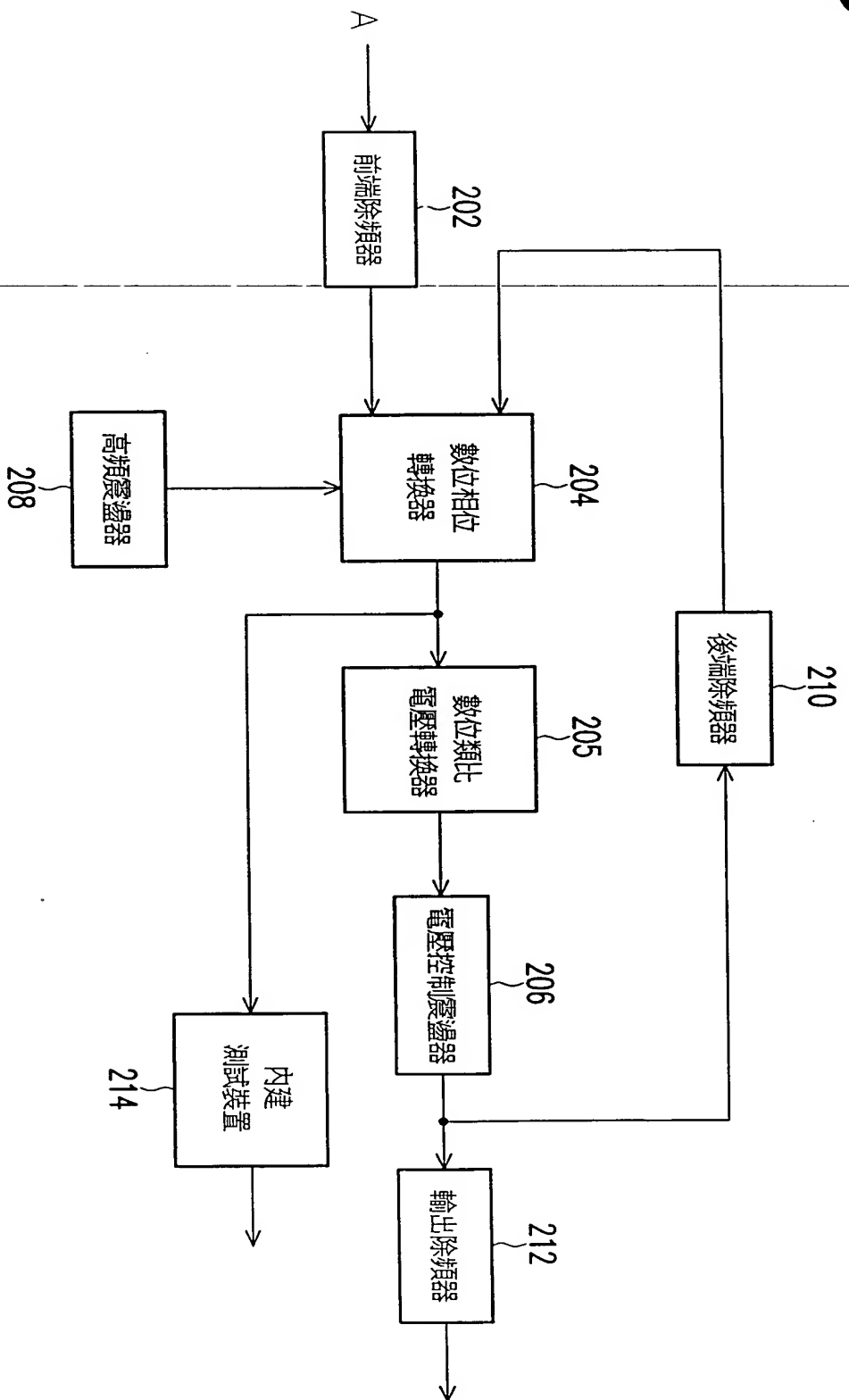
9.如申請專利範圍第 1 項所述之數位式鎖相迴路，更包括一內建測試裝置，連接至該數位相位轉換器之輸出，用以根據該相位調整值測試該數位式鎖相迴路。

(請先閱讀背面之注意事項再填寫本頁)

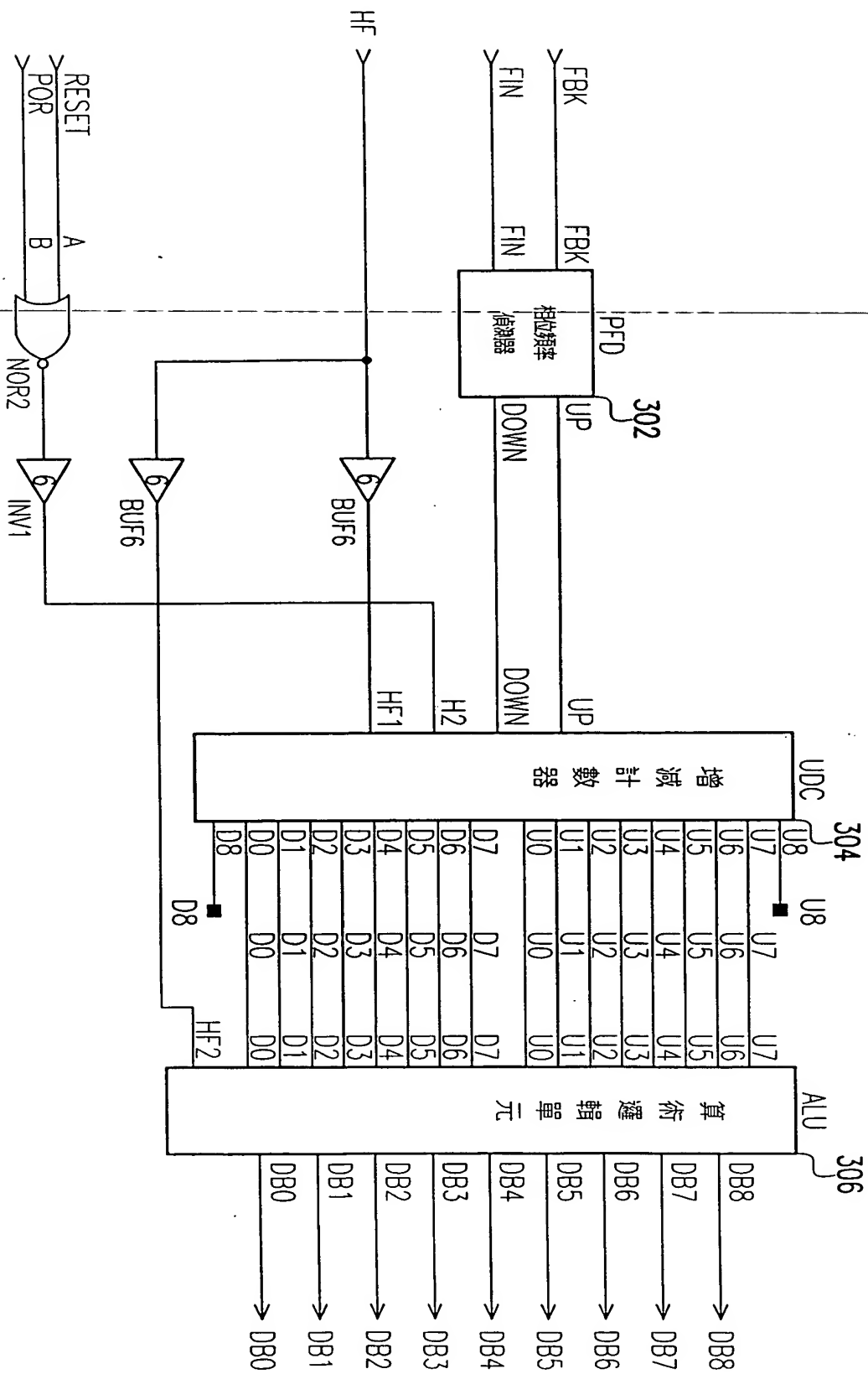
裝
訂
線



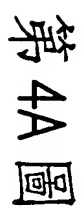
第 1 圖



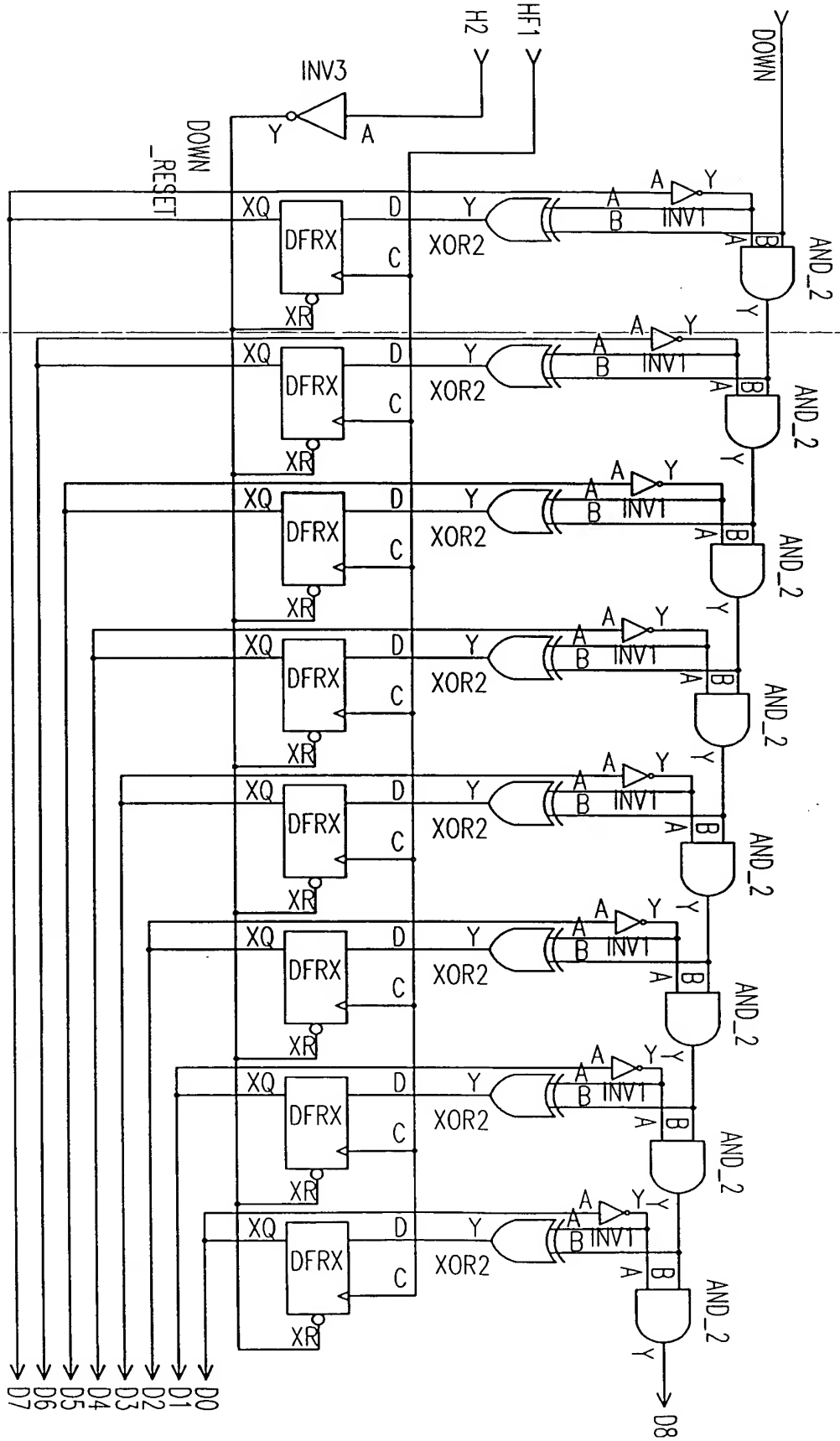
第 2 圖



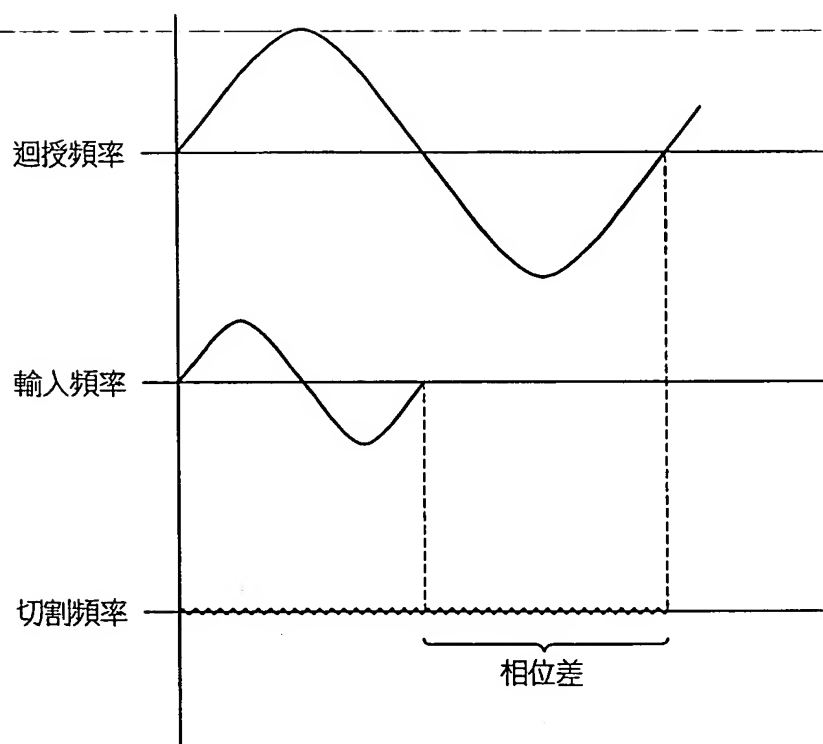
第 3 圖



第4A圖



第4B圖



第 5 圖